

PATTERN RECOGNITION DEVICE

Publication number: JP2002358500

Publication date: 2002-12-13

Inventor: MORI KATSUHIKO; MATSUGI MASAKAZU; NOMURA OSAMU

Applicant: CANON KK

Classification:

- international:

G06N3/00; G06K9/00; G06K9/06; G06N3/06;
G06T7/00; G06N3/00; G06K9/00; G06K9/64;
G06T7/00; (IPC1-7): G06N3/00; G06N3/06; G06T7/00

- European: G06K9/46A1R1N; G06K9/00Y

Application number: JP20010164283 20010531

Priority number(s): JP20010164283 20010531

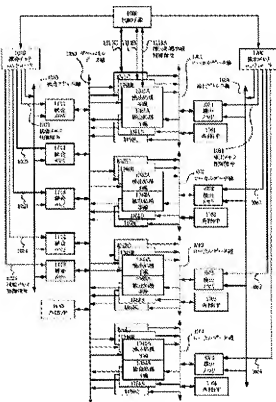
Also published as:

EP1262908 (A1)
US7039233 (B2)
US2002181765 (A1)
EP1262908 (B1)
DE60218380T (T2)

Report a data error here

Abstract of JP2002358500

PROBLEM TO BE SOLVED: To perform hierarchical processing by a plurality of processing means with simple circuit constitution using no complicated wiring. **SOLUTION:** The pattern recognition device which detects a specific pattern in an input signal is equipped with detection processing means 1041 to 1044A which each detect one different feature for the same input, integrated processing means 1051 to 1054A which spatially integrate features detected by the detection processing means by processing results, detection memories 1071 to 1074 which hold the processing results of the detection processing means, integrated memories 1011 to 1014 which hold the processing results of the integrated processing means, a global data line 1030 to which all the detection processing means and all the integrated memories are connected in certain timing, and local data lines 1061 to 1064 to which the one group of the detection processing means, the integrated processing means, and detection memories is connected.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-358500
(P2002-358500A)

(43) 公開日 平成14年12月13日 (2002. 12. 13)

(51) Int.Cl. ⁷	識別記号	F I	テ-13-1 (参考)
G 0 6 N	3/00	G 0 6 N	3/00
	3/06		5 6 0 C
G 0 6 T	7/00	G 0 6 T	7/00
	3 5 0		3 5 0 C

審査請求 未請求 請求項の数 7 O L (全 20 頁)

(21) 出願番号 特願2001-164283 (P2001-164283)

(22) 出願日 平成13年5月31日 (2001. 5. 31)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 森 克彦

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 真壁 優和

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 100090538

弁理士 西山 恵三 (外1名)

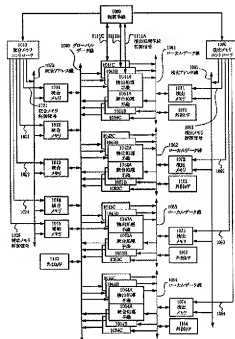
最終頁に続く

(54) 【発明の名称】 パターン認識装置

(57) 【要約】

【課題】 複雑な配線を用いずに単純な回路構成で、複数の処理手段による階層的処理を行なう。

【解決手段】 入力信号中の所定のパターンを検出するパターン認識装置に、同一の入力に対しそれぞれ異なる1つの特徴を検出するための複数の検出処理手段1041~1044と、この複数の検出処理手段で検出された特徴を、各処理結果毎に、空間的に統合する複数の統合処理手段1051~1054と、検出処理手段の処理結果を保持する複数の検出メモリ1071~1074と、前記統合処理手段の処理結果を保持する複数の統合メモリ1011~1014と、あるタイミングで全ての前記検出処理手段及び全ての前記統合メモリが接続されるグローバルデータ線1030と、それぞれ1組の前記検出処理手段と前記統合処理手段と前記検出メモリとが接続される複数のローカルデータ線1061~1064とを備える。



【特許請求の範囲】

【請求項1】 入力信号の中に含まれる所定のパターンを検出するパターン認識装置において、

同一の入力に対しそれぞれ異なる1つの特徴を検出するための複数の検出処理手段と、

前記複数の検出処理手段で検出された特徴を、各処理結果毎に、空間的に統合する複数の統合処理手段と、

前記検出処理手段の処理結果を保持する複数の検出メモリと、

前記統合処理手段の処理結果を保持する複数の統合メモリと、

あるタイミングで所定の前記検出処理手段及び所定の前記統合メモリが接続される共有データ線と、

それぞれ所定の前記検出処理手段と前記統合処理手段と前記検出メモリとが接続される複数の局所データ線とを有し、

前記検出メモリに保持された前記検出処理手段の処理結果を前記統合処理手段に入力する際に、複数の前記検出メモリのデータを読み出して、前記統合処理手段に入力し、

前記統合メモリに保持された前記統合処理手段の処理結果を前記検出処理手段に入力する際に、前記統合メモリからデータを読み出して、複数の前記検出処理手段に入力することを特徴とするパターン認識装置。

【請求項2】 前記統合処理手段の処理結果を前記統合メモリに入力する際及び/または前記統合メモリのデータを前記検出処理手段に入力する際に、前記共有データ線を時分割で使用するよう前記統合処理手段及び前記統合メモリを制御することを特徴とする請求項1に記載のパターン認識装置。

【請求項3】 前記共有データ線は、複数のサブ共有データ線と複数のスイッチとを含み、

前記サブデータ線1つに、前記統合メモリが1つ接続され、

複数の前記統合処理手段の処理結果を複数の前記統合メモリに入力する際に、複数の前記サブ共有データ線を用い、

前記統合メモリに保持された前記統合処理手段の処理結果を前記検出処理手段に入力する際に、複数の前記サブ共有データ線と、前記スイッチを制御することにより接続し、仮想的に1つのデータ線として使用することを特徴とする請求項1に記載のパターン認識装置。

【請求項4】 前記共有データ線は、複数の分割共有データ線を含み、

前記分割共有データ線1つに、所定の前記統合メモリと所定の前記検出処理手段が接続され、

複数の前記統合処理手段の処理結果を複数の前記統合メモリに入力する際、及び/または前記統合メモリに保持された前記検出処理手段の処理結果を前記検出処理手段に入力する際に、複数の前記分割データ線を用いること

を特徴とする請求項1に記載のパターン認識装置。

【請求項5】 構成情報を記憶する構成情報記憶手段と、

前記構成情報記憶手段の構成情報に基づいて、前記検出処理手段及び前記統合処理手段の回路構成を再構成する回路構成制御手段とを有することを特徴とする請求項1～4に記載のパターン認識装置。

【請求項6】 前記回路構成制御手段は、前記検出処理手段の回路構成の再構成と前記統合処理手段の回路構成の再構成とを、同時に行わないように制御することを特徴とする請求項5に記載のパターン認識装置。

【請求項7】 共有データ線に接続された外部インターフェースを設け、該外部インターフェースを介して前記検出メモリ及び前記統合メモリの結果を処理の中間結果として読み出すことを特徴とする請求項1～6に記載のパターン認識装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、神経回路網等の並列演算処理により、パターン認識、特定被写体の検出等を行なうパターン認識装置の回路構成に関するものである。

【0002】

【従来の技術】従来より、画像認識や音声認識の分野においては、特定の認識対象に特化した認識処理アルゴリズムをコンピュータソフトとして逐次演算して実行するタイプ、或いは専用並列画像処理プロセッサ（SIMD、MIMDマシン等）を用いたハードウェアにより実行するタイプに大別される。

【0003】例えば専用並列処理プロセッサに関しては、特開平6-67933に開示される物体識別装置は、画像処理プロセッサユニットを複数用意し、それらのプロセッサユニットに搭載されているDSPで演算処理を行い、それらの複数の結果を別のユニットに転送して、物体識別を行なっている。例えば、画像を複数の領域にわけ、各プロセッサプロセッサで各領域の処理を並列に行ない、別のプロセッサユニットで物体の識別の推論をニューラルネットワークやファジィ制御を用いて行うものである。

【0004】また、ニューラルネットによる階層並列処理を行なうハードウェアとして、特許267930号公報に開示される階層構造ニューラルネットは、単層のハードウェアを時分割多重化使用して多層化することを可能とする階層構造ニューラルネットのアーキテクチャであり、単層のハードウェアを時分割多重化使用して等価的に多層化することを可能とすることを目的とし、複数のニューロンモデルを相互に接続することにより形成されるニューラルネットにおいて、時分割多重化アナログ信号を外部からのデジタル重みデータとの積を生成し、かつその積を時分的にコンデンサを介して加える

ことにより積分し、非線形出力関数を通した電圧を時分割的に出力することを可能とするニューロンモデルのユニットを複数設置して単層のユニット集合を形成する単層ユニット集合手段と、前記単層ユニット集合手段の出力を同じ単層ユニット集合の入力部に帰還する帰還手段と、前記単層ユニット集合手段から出力される各ユニットからのアナログ信号を時分割多重化し、さらに前記帰還手段を介して前記単層ユニット集合手段を時分割多重使用するための制御を実行する制御手段とを有し、単層構造のユニット集合手段を時分割多重使用することにより等価的に階層構造のニューラルネットを形成するように構成されている。

【0005】また、FPGA (Field Programming Gate Array) を用いたハードウェアとして、USP5892962で紹介されているプロセッサがある。このプロセッサは、各FPGAにメモリを保持し、FPGAでの処理結果をメモリに保持し、そのメモリの結果を読み出して、処理を行うものである。

【0006】

【発明が解決しようとする課題】上記、認識処理アルゴリズムを実行するハードウェアの従来例で示した、特開平6-6793に開示される物体識別装置では、各画像処理プロセッサユニットに割り当てられた領域に対して、さらにそれらを分割した小領域への領域へと数段階にわたる処理は可能であるが、処理されて得られた複数の結果に対し、さらにまた別の複数のプロセッサユニットで並列処理を行なうといった階層的処理を行なうことは出来なかった。また、処理の結果を読み出すことも出来なかった。さらに、各領域の結果を空間的に統合するということも出来なかった。

【0007】また、特許2679730号公報に開示される階層的ニューラルネットワークにおいては、層間結合を任意に可変制御する手段を有していないために実質的に実現可能な処理の種類が極めて限定的になるという問題があった。

【0008】また、USP5892962に開示されるFPGA-BASED PROCESSORでは、メモリに保持された中間結果を読み出すのに、複雑な配線が必要である。

【0009】そこで本発明の目的は、複雑な配線を用いずに単純な回路構成で、複数の処理手段で処理されて得られた複数の結果に対し、さらに複数の処理手段で並列処理を行なうといった階層的処理を行なうことが出来、また各処理の処理結果を空間的に統合することが出来、また各処理の結果を容易に読み出すことが可能なパターン認識装置を提供することである。

【0010】

【課題を解決するための手段】そこで、上記目的を実現するために、本発明によれば、入力信号の中に含まれる所定のパターンを検出するパターン認識装置に、同一の

入力に対しそれぞれ異なる1つの特徴を検出するための複数の検出処理手段と、前記複数の検出処理手段で検出された特徴を、各処理結果毎に、空間的に統合する複数の統合処理手段と、前記検出処理手段の処理結果を保持する複数の検出メモリと、前記統合処理手段の処理結果を保持する複数の統合メモリと、あるタイミングで所定の前記検出処理手段及び所定の前記統合メモリが接続される共有データ線と、それぞれ所定の前記検出処理手段と前記統合処理手段と前記検出メモリとが接続される複数の局所データ線とを備え、前記検出メモリに保持された前記検出処理手段の処理結果を前記統合処理手段に入力する際に、複数の前記検出メモリからのデータを読み出して、前記統合処理手段に入力し、前記統合メモリに保持された前記統合処理手段の処理結果を前記検出処理手段に入力する際に、前記統合メモリからのデータを読み出して、複数の前記検出処理手段に入力する。

【0011】

【発明の実施の形態】以下、本発明の実施の形態について、図を用いて説明する。

【0012】(第1の実施の形態) 図1が本実施形態の構成を示す図である。

【0013】図1において、1000は制御手段を、1010は統合メモリコントローラを、1011から1014は統合メモリを、1015は補助メモリを、1020は統合アドレス線を、1021から1024は統合メモリ制御信号を、1025は補助メモリ制御信号を、1030はグローバルデータ線を、1041から1044は検出処理手段を、1051Aから1054Cは統合処理手段を、1061から1064はローカルデータ線を、1071から1074は検出メモリを、1080は検出アドレス線を、1081から1084は検出メモリ制御信号を、1090は検出メモリコントローラを、111Aから1114Cは検出処理手段制御信号を、1121Aから1124Cは統合処理手段制御信号を示す。なお、この検出処理手段制御信号と統合処理手段制御信号に関しては、図に全て記載せずに、検出処理手段制御信号1111Aから1111Cのみ記載してある。また、1130及び1161から1164は外部I/Fを示す。

【0014】以下図1中のそれぞれの構成要素の機能を説明する。

【0015】制御手段1000は、この回路全体の制御を行なう手段であり、後述する統合メモリコントローラ1010、各検出処理手段1041A~1044C、各統合処理手段1051A~1054C、及び検出メモリコントローラ1090と通信し、使用する認識アルゴリズムに基づいて、これらの各手段を制御することで、認識動作を行なう。

【0016】統合メモリコントローラ1010は、統合メモリ1011~1014及び補助メモリ1015のメモリを制御して、これらのメモリからデータをグローバ

ルデータ線1030に出力したり、またグローバルデータ線1030上のデータを統合メモリ1011~1014または補助メモリ1015に書き込む。具体的には、統合アドレス線1020にアドレスを出力し、さらに動作させるメモリを選択するチップセレクト信号や書き込み・読み出しの区別をするライトイネーブル信号等の統合メモリ制御信号1021~1024、補助メモリ制御信号1025を制御することで、上記の動作を行なう。なお、アドレスを複数発生する時は、例えば制御手段1000から先頭・最終アドレス並びにステップ数を統合メモリコントローラ1010に設定し、先頭アドレス値を設定したカウンタを最終アドレスまで、前記ステップ数でカウンタアップすることで対応出来る。つまり、このアドレスの発生を徐々に変化させることで、統合メモリ1011~1014、補助メモリ1015の任意の領域のデータの読み出し・書き込みが出来るので、配線問題を回避することが出来る。

【0017】統合メモリ1011~1014は、前述する統合処理手段1051A~1054Cの処理結果を保持するメモリである。これらは、それぞれグローバルデータ線1030に接続されており、統合メモリ制御信号1021~1024に基づいて保持している結果をグローバルデータ線1030に出力したり、グローバルデータ線1030上の統合処理手段1051A~1054Cの処理結果を取り込む。

【0018】補助メモリ1015は、画像などの認識すべき信号等を一時的に保持するメモリである。このメモリも統合アドレス線1020並びにグローバルデータ線1030に接続されており、統合メモリコントローラ1010からの補助メモリ制御信号1025に基づいて保持している信号をグローバルデータ線1030に出力したり、グローバルデータ線1030上のデータを取り込む。

【0019】統合アドレス線1020には、統合メモリ1011~1014並びに補助メモリ1015のアドレスを示す信号が統合メモリコントローラ1010から出力される。このアドレスを変化させることで、配線問題を回避し、統合メモリ1011~1014に保持された各処理の結果を容易に読み出すことが可能で、各検出処理手段1041A~1044Cでそれらの結果を組み合わせた信号に対する処理を行なうことが出来る。

【0020】統合メモリ制御信号1021~1024は、統合メモリ1011~1014の選択や書き込み・読み出しの区別・制御等を行なう信号である。メモリの選択を時分割で行なうことで、読み出し時にはグローバルデータ線1030に各統合メモリ1011~1014のデータを時分割で出力することが出来、また書き込み時には、統合処理手段制御信号1111A~11124Cとタイミングを合わせて切り替えることで、グローバルデータ線1030上に出力された各統合処理手段の処理結

果を各統合メモリ1011~1014に保持することが出来る。

【0021】補助メモリ制御信号1025は、補助メモリ1015の選択や書き込み・読み出しの区別・制御等を行なう信号である。

【0022】グローバルデータ線1030は、統合メモリ1011~1014、検出処理手段1041A~1044C、統合処理手段1051A~1054C、及び補助メモリ1015と接続されている。そのため、統合メモリ1011~1014のデータが各検出処理手段1041A~1044Cに並列に入力され、また時分割処理により、各統合処理手段1051A~1054Cからの処理結果が、各統合メモリ1011~1014に時分割で書き込まれる。

【0023】各検出処理手段1041A~1044Cは、認識処理に必要な各処理（例えば、エッジ検出等）をそれぞれ担当している。つまり、本発明の装置では、それら各検出処理手段の処理を組み合わせて全体として認識処理を行なっている。

【0024】検出処理手段1041A~1044Cは、グローバルデータ線1030を介して入力されたデータに対して処理を行いその結果を、それぞれローカルデータ線1061~1064に出力する。なお、検出処理手段1041A、1041B、1041Cの処理結果はローカルデータ線1061に出力されるようになっており、また検出処理手段1042A~1044Cの処理結果はローカルデータ線1062に出力されるようになっている。

以下他の検出処理手段も同様である。検出処理手段1041A~1044Cには、グローバルデータ線1030を介して同じ信号が入力される。その入力信号に対し、各検出処理手段は異なった処理を行なう。その結果を例えば検出処理手段1041Aであれば、ローカルデータ線1061に出力して、その結果を検出メモリ1071に保持する。同様に各検出処理手段の処理の結果は、異なった検出メモリ1071~1074に保持される。ここで、どの検出処理手段が動作するかを示すのが、制御手段1000からの検出処理手段制御信号1111A~1114Cである。この検出処理手段制御信号1111Aは検出処理手段1041Aに接続され、また1111Bは1041Bに接続され、以下同様に接続される。（なお、図1には、検出処理手段制御信号1111A~1111Cのみを示してある。）例えば、あるタイミングでは、検出処理手段制御信号1111A、1112A、1113A、1114Aがイネーブルになり、その結果、検出処理手段1041A、1042A、1043A、1044Aが動作し、それぞれの検出処理手段の処理結果をそれぞれローカルデータ線1061~1064を介して、検出メモリ1071~1074に保持する。また別のタイミングでは、別の検出処理手段制御信号がイネーブルになる。

【0025】統合処理手段1051Aから1054Cは、

それぞれローカルデータ線1061~1064を介して入力されたデータに対して統合処理を行い、その結果をグローバルデータ線1030に出力する。なお、統合処理手段1051A~1051Cへの入力ローカルデータ線1061から、1052A~1052Cは1062より、1053A~1053Cは1063より、1054A~1054Cは1064より行なわれる。また、制御手段1000からの統合処理手段制御信号1121A~1124C(図1には不図示)の処理手段セレクト信号のイネーブルで、動作する統合処理手段1051A~1054Cを選択する。また、この統合処理手段制御信号1121A~1124Cのアウトプット信号で、各統合処理手段1051A~1054Cの処理結果をグローバルデータ線1030に出力するタイミングを制御する。つまり、例えば、あるタイミングでは、統合処理手段制御信号1121A、1122A、1123A、1124Aの処理手段セレクト信号がイネーブルになり、その結果、統合処理手段1051A、1052A、1053A、1054Aが動作する、そして、アウトプット信号に基づいて、グローバルデータ線1030にその処理結果を、例えば統合処理手段1051Aから順に出力する。そのとき、タイミングを合わせて、統合メモリコントローラ1010を制御することで、グローバルデータ線1030上のデータを統合メモリ1011から順に保持することが出来る。

【0026】ローカルデータ線1061は、検出メモリ1071、検出処理手段1041A~1041C、統合処理手段1051A~1051Cと接続されている。また、ローカルデータ線1062は、検出メモリ1072、検出処理手段1042A~1042C、統合処理手段1052A~1052Cと接続されている。ローカルデータ線1063、1064も同様である。そのため、検出処理手段1041A~1041Cからの処理結果が検出メモリ1071に、検出処理手段1042A~1042Cからの処理結果が検出メモリ1072に、検出処理手段1043A~1043Cからの処理結果が検出メモリ1073に、検出処理手段1044A~1044Cからの処理結果が検出メモリ1074に保持されるようになっている。また検出メモリ1071のデータは統合処理手段1051A~1051Cに、検出メモリ1072のデータは統合処理手段1052A~1052Cに、と各検出メモリのデータが別々の統合処理手段に並列に入力されるようになっている。

【0027】検出メモリ1071は、検出処理手段1041A~1041Cからの処理結果を、また検出メモリ1072は、検出処理手段1041A~1041Cからの処理結果を保持するメモリである。検出メモリ1073、検出メモリ1074も同様である。検出メモリ1071はローカルデータ線1061に、1072は1062に、1073は1063に、1074は1064に接続

されており、検出メモリ制御信号1081~1084に基づいて保持している結果をそれぞれのローカルデータ線1061~1064に出力したり、ローカルデータ線1061~1064上の検出処理手段1041A~1044Cの処理結果を取り込む。

【0028】検出アドレス線1080には、検出メモリ1071~1074のアドレスを示す信号が検出メモリコントローラ1090から出力される。このアドレスを変化させることで、配線問題を回避し、容易に検出メモリ1071~1074に保持された任意の位置の各処理の結果を読み出し、各統合処理手段1051A~1054Cで各領域の結果に対する処理を行なうことが出来る。

【0029】検出メモリ制御信号1081~1084は、検出メモリ1071~1074の選択や書き込み・読み出しの区別・制御等を行なう信号である。

【0030】検出メモリコントローラ1090は、検出メモリ1071~1074のメモリを制御して、これらのメモリからデータをローカルデータ線1061~1064に出力したり、またローカルデータ線1061~1064上のデータをメモリに書き込む。具体的には、検出アドレス線1080にアドレスを出力し、さらに動作させるメモリを選択するチップセレクト信号や書き込み・読み出しの区別をするライトイネーブル信号等の統合メモリ制御信号1081~1084を制御することで、上記の動作を行なう。

【0031】検出処理手段制御信号1111A~1114Cは、検出処理手段1041A~1044Cと制御手段1000との通信に使用される。検出処理手段1041A~1044Cの中で、動作する処理手段を選択する処理手段セレクト信号や処理結果のローカルデータ線1061~1064への出力の許可を示すアウトプット信号、また各検出処理手段1041A~1044Cでの処理の終了を示すエンド信号等から構成される。

【0032】統合処理手段制御信号1121A~1124Cは、統合処理手段1051A~1054Cと制御手段1000との通信に使用される。統合処理手段1051A~1054Cの中で、動作する処理手段を選択する処理手段セレクト信号や処理結果のグローバルデータ線1030への出力の許可を示すアウトプット信号、また各統合処理手段1051A~1054Cでの処理の終了を示すエンド信号等から構成される。

【0033】また、外部I/F1130、1161、1162、1163、1164はそれぞれグローバルデータ線1030、ローカルデータ線1061、1062、1063、1064と接続されており、これらの外部I/Fを介して、統合処理手段1051A~1054Cの処理結果や検出処理手段1041A~1044Cの処理結果をそれら処理手段の動作中や、または統合メモリ1011~1014、検出メモリ1071~1074に保持されて

いる途中処理結果を外部へ取り出すことが出来る。

【0034】続いて、図1に示す構成の動作を、並列階層処理により画像認識を行う神経回路網を形成した場合について説明する。はじめに図2を参照して神経回路網の処理内容を詳細に説明する。この神経回路網は、入力データ中の局所領域において、対象または幾何学的特徴などの認識(検出)に関する情報を階層的に扱うものであり、その基本構造はいわゆるConvolutionalネットワーク構造(LeCun, Y. and Bengio, Y., 1995, "Convolutional Networks for Images Speech, and TimeSeries" in Handbook of Brain Theory and Neural Networks (M. Arbib, Ed.), MIT Press, pp.255-258)である。最終層(最上位層)からの出力は認識結果としての認識された対象のカテゴリとその入力データ上の位置情報である。

【0035】データ入力層101は、CMOSセンサ、或いはCCD素子等の光電変換素子からの局所領域データを入力する層である。最初の特徴検出層102(1, 0)は、データ入力層101より入力された画像パターンの局所的な低次の特徴(特定方向成分、特定空間周波数成分などの幾何学的特徴のほか色成分特徴を含んでもよい)を全画面の各位置を中心として局所領域(或いは、全画面にわたる所定のサンプリング点の各点を中心とする局所領域)において同一箇所複数のスケールレベル又は解像度で複数の特徴カテゴリの数が検出する。

【0036】特徴統合層103(2, 0)は、所定の受容野構造(以下、受容野とは直前の層の出力素子との結合範囲を、受容野構造とはその結合荷重の分布を意味する)を有し、特徴検出層102(1, 0)からの同一受容野内にある複数のニューロン素子出力の統合(局所平均化、最大出力検出等によるサブサンプリングなどの演算)を行う。この統合処理は、特徴検出層102(1, 0)からの出力を空間的にぼかすことで、位置ずれや変形などを許容する役割を有する。また、特徴統合層内のニューロンの各受容野は同一層内のニューロン間で共通の構造を有している。

【0037】後続の層である各特徴検出層102((1, 1), (1, 2), ..., (1, M))及び各特徴統合層103((2, 1), (2, 2), ..., (2, M))は、上述した各層と同様に前者((1, 1), ...)は、各特徴検出モジュールにおいて複数の異なる特徴の検出を行い、後者((2, 1), ...)は、前段の特徴検出層からの複数特徴に関する検出結果の統合を行う。但し、前者の特徴検出層は前段の特徴統合層の細胞素子出力を受けように結合(配線)されている。特徴統合層で行う処理であるサブサンプリングは、同一特徴カテゴリの特徴検出細胞集団からの局所的な領域(当該特徴統合層ニューロンの局所受容野)からの出力についての平均化などを行うものである。

【0038】更に図1～図5を用いて、具体的な一例として、入力画像から眼を検知する処理における動作を説明する。

【0039】図3は、入力画像から眼を検知するフローチャートである。ステップS301において、画像が補助メモリ1015に入力される。これが、データ入力層101に対応する。続いてステップS302において、1次特徴量が検出される。眼の検出における1次特徴量は例えば図4に示すものである。つまり、縦(4-1-1)・横(4-1-2)・右上がり斜め(4-1-3)・右下がり斜め(4-1-4)といった特定方向の特徴を抽出する。なお、先に述べると、2次特徴量は、右空きV字(4-2-1)、左空きV字(4-2-2)、円(4-2-3)であり、また3次特徴量が眼(4-3-1)である。これらのそれぞれの特徴量を検出するように、検出処理手段1041A～1044Cは構成されており、検出処理手段1041Aは1次特徴量の縦(4-1-1)を、1042Aは横(4-1-2)を、1043Aは右上がり斜め(4-1-3)を、1044Aは右下がり斜め(4-1-4)を抽出する。同様に、検出処理手段1041Bは2次特徴量の右空きV字(4-2-1)を、1042Bは左空きV字(4-2-2)を、1043Bは円(4-2-3)を抽出する。また検出処理手段1041Cは眼(4-3-1)を抽出するように構成されている。なお、この例で用いた眼の検出では、1次特徴量は4種類、2次特徴量は3種類、3次特徴量は1種類であるので、検出処理手段の1041A～1044A、1041B～1043B、1041Cのみ使用して、1044B及び1042C～1044Cは使用しない。

【0040】ステップS302での1次特徴量検出は、特徴検出層102(1, 0)に対応し、各検出処理手段が特徴量の検出モジュール104に相当する。統合メモリコントローラ1010は補助メモリ制御信号1025を制御して、補助メモリ1015から画像のある位置を中心とする局所データを読み出し(この局所領域が、受容野105に対応する)、グローバルデータ線1030に出力する。そして、それらは、並列に、それぞれ検出処理手段1041A～1044Aに入力され、上述したそれぞれの1次特徴量を検出する。なおこのとき、検出処理手段制御信号の1111A～1114Aの処理手段セレクト信号のみイネーブルになっている。そして、処理の終了を示すエンド信号を見て、制御手段1000はアウトプット信号をイネーブルにして、検出処理手段1041A～1044Aは処理結果をローカルデータ線1061～1064に出力する。同時に、検出メモリコントローラ1090は、検出アドレス線1080にアドレスを出力し、また検出メモリ制御信号1081～1084を制御して、各ローカルデータ線上のデータを検出メモリ1071～1074に保持する。なお、各検出処理手

段での処理では、入力されるデータと結合荷重とが用いられ、例えば1次特徴量の縦(4-1-1)を検出する際には、受容野の大きさが3*3で、その結合荷重が0または1である、概念的には図3に示した受容野構造(以下、受容野とは直前の層の出力素子との結合範囲を、受容野構造とはその結合荷重の分布を意味する)との積和演算が行なわれる。

【0041】なお、このステップS302において、補助メモリ1015から読み出される局所領域の中心点を全画面の各点もしくは全画面におたる所定のサンプリング点の各点と変更することで、全画面において、この1次特徴量の検出を行なう。このように、局所領域を移動させて全画面にわたって処理を行なうことは以降の統合処理や2次、3次の特徴量検出においても同様である。

【0042】続いてステップS303で、1次特徴量が統合される。これは特徴統合層103(2.0)に対応し、検出メモリ1071~1074に保持されているデータを統合する(特徴検出層102(1.0)からの同一受容野内にある複数のニューロン素子出力の統合(局所平均化、最大出力検出等によるサブサンプリングなどの演算)に相当する)。また各統合処理手段は、特徴1の統合モジュール106に相当する。検出メモリコントローラ1090は、検出アドレス線1080上にアドレスを出し、また検出メモリ制御信号1081~1084を制御して、検出メモリ1071~1074の局所データを読み出し、ローカルデータ線1061~1064を介して、それぞれ局所データが統合処理手段1051A~1054Aに入力される。なお、ステップS302での検出処理では、検出処理手段1041A~1044Aに入力されるデータは同じものであったが、このステップS303での統合処理では統合処理手段1051A~1054Aに入力されるデータは、それぞれ異なっている。

【0043】ただし、ここでの統合処理の受容野の入力画像における位置や大きさは、全ての統合処理手段1051A~1054Aにおいて共通であるので、各検出メモリ1071~1074中のデータの位置を示す検出メモリコントローラ1090からのアドレスは同じに出来る。つまり、検出メモリ1071~1074から局所データを読み出すときに、その検出メモリ1つに対して別々のアドレスを出力するのではなく、一度のアドレス出力で各検出メモリからのデータ読み出しが並列に行なわれ、また各統合処理手段1051A~1054Aにおいて統合処理も並列に行なわれる。

【0044】各統合処理手段では上述したように、入力データの平均化や最大値検出等の処理を行なう。なおこのとき、統合処理手段制御信号1121A~1124Aの処理手段セレクト信号のみイネーブルになっている。そして、処理の終了を示すエンド信号を見て、制御手段1000はアウトプット信号を順にイネーブルにし

て、統合処理手段1051A~1054Aは処理結果を時分割でグローバルデータ線1030に出力する。同時に、統合メモリコントローラ1010は、統合アドレス線1020にアドレスを出力し、また統合メモリ制御信号1021~1024を制御して、グローバルデータ線上のデータを順に統合メモリ1011~1014に保持する。この統合処理手段制御信号1121A~1124Aのアウトプット信号のイネーブルと統合メモリ制御信号のメモリセレクト信号のイネーブルのタイミングを合わせることで、統合処理手段1051Aの出力を統合メモリ1011に保持することが出来る。また1052Aの出力を1012に、1053Aの出力を1013に、1054Aの出力を1014に保持することが出来る。ここまでのステップで、統合メモリ1011は1次特徴量の縦方向を検出した結果を統合した結果を保持し、1012は横方向を検出した結果を統合した結果を保持し、1013は右上がり斜め方向を検出した結果を統合した結果を保持し、1014は右下がり斜め方向を検出した結果を統合した結果を保持することになる。

【0045】ステップS304では、2次特徴量検出を行なう。これは特徴検出層102(1.1)に対応する。ここでの2次特徴量とは、図4に示すようにV字(4-2-1, 4-2-2)と円(4-2-3)であり、V字は受容野内での、1次特徴量の2つの斜め方向(4-1-3, 4-1-4)の検出とその位置関係から検出可能であり、また円は受容野内での全ての1次特徴量の検出とその位置関係から検出可能である。つまり、複数種類の1次特徴量を組み合わせ、2次特徴量を検出することができる。これら2次特徴量の検出処理は検出処理手段1041B~1044Bで行なわれる。統合メモリコントローラ1010は統合アドレス線1020にアドレスを出力し、また統合メモリ制御信号1021~1024を制御して、統合メモリ1011~1014から、そこに保持されている統合された1次特徴量の局所データを読み出し、グローバルデータ線1030に出力する。この時、統合メモリ制御信号1021~1024のメモリセレクト信号のイネーブルを順に変更することで、この統合された1次特徴量の出力は、統合メモリ1011から1014へ順に行われる。つまり、グローバルデータ線1030を時分割して使用する。なお、ステップ302と同様、これらのデータは、並列に、それぞれ検出処理手段1041B~1044Bに入力され、上述したそれぞれの2次特徴量を検出する。なおこのとき、検出すべき2次特徴量は3種類なので検出処理手段制御信号の1111B~1113Bの処理手段セレクト信号のみイネーブルになっている。そして、処理の終了を示すエンド信号を見て、制御手段1000はアウトプット信号をイネーブルにして、検出処理手段1041B~1044Bは処理結果をローカルデータ線1061~1063に出力する。同時に、検出メモリコントローラ1090

は、検出アドレス線1080にアドレスを出力し、また検出メモリ制御信号1081~1083を制御して、各ローカルデータ線上のデータを検出メモリ1071~1073に保持する。

【0046】続いてステップS305で、2次特徴量が統合される。これは特徴統合層103(2.1)に対応し、検出メモリ1071~1073に保持されているデータを統合する。検出メモリコントローラ1090は、検出アドレス線1080上にアドレスを出力し、また検出メモリ制御信号1081~1083を制御して、検出メモリ1071~1073の局所データを読み出し、ローカルデータ線1061~1063を介して、それぞれの局所データが統合処理手段1051B~1053Bに人力される。各統合処理手段ではステップS303と同様に、入力データの平均化や最大値検出等の処理を行なう。なおこのとき、統合処理手段制御信号の1121B~1123Bの処理手段セレクト信号のみイネーブルになっている。そして、処理の終了を示すエンド信号を見て、制御手段1000はアウトプット信号を順にイネーブルにして、統合処理手段1051B~1053Bは処理結果を時分割でグローバルデータ線1030に出力する。同時に、統合メモリコントローラ1010は、統合アドレス線1020にアドレスを出力し、また統合メモリ制御信号1021~1023を制御して、グローバルデータ線上のデータを統合メモリ1011~1013に保持する。

【0047】ステップS306では、3次特徴量検出を行なう。これは特徴検出層102(1.2)に対応する。このときの3次特徴量は、図4に示すように眼(4-3-1)であり、そのためには、受容野内での全ての2次特徴量(V字(4-2-1, 4-2-2)と円(4-2-3))の検出とその位置関係を見ればよい。つまり、線状種類の2次特徴量を組み合わせて、3次特徴量を検出することができる。これら3次特徴量の検出処理は検出処理手段1041Cで行なわれる。統合メモリコントローラ1010は統合アドレス線1020にアドレスを出力し、また統合メモリ制御信号1021~1023を制御して、統合メモリ1011~1013から、そこに保持されている統合された2次特徴量の局所データを読み出し、グローバルデータ線1030に出力する。この時、ステップS304と同様に、統合メモリ制御信号1021~1023のメモリセレクト信号のイネーブルを順に変更することで、この統合された2次特徴量の出力は、統合メモリ1011から1013へ順に行われ、グローバルデータ線1030を時分割して使用する。そしてこれらのデータは、検出処理手段1041Cに入力され、上述した3次特徴量を検出する。なおこのとき、検出すべき3次特徴量は1種類以上の検出処理手段制御信号の1111Cの処理手段セレクト信号のみイネーブルになっている。そして、処理の終了を示すエンド信号を

見て、制御手段1000はアウトプット信号をイネーブルにして、検出処理手段1041Cは処理結果をローカルデータ線1061に出力する。同時に、検出メモリコントローラ1090は、検出アドレス線1080にアドレスを出力し、また検出メモリ制御信号1081を制御して、ローカルデータ線上のデータを検出メモリ1071に保持する。

【0048】続いてステップS307で、3次特徴量が統合される。これは特徴統合層103(2.2)に対応し、検出メモリ1071に保持されているデータを統合する。検出メモリコントローラ1090は、検出アドレス線1080上にアドレスを出力し、また検出メモリ制御信号1081を制御して、検出メモリ1071の局所データを読み出し、ローカルデータ線1061を介して、3次特徴量の局所データが統合処理手段1051Cに人力される。統合処理手段では、入力データの平均化や最大値検出等の処理が行なわれる。そして、処理の終了を示すエンド信号を見て、制御手段1000はアウトプット信号を順にイネーブルにして、統合処理手段1051Cは処理結果をグローバルデータ線1030に出力する。同時に、統合メモリコントローラ1010は、統合アドレス線1020にアドレスを出力し、また統合メモリ制御信号1021を制御して、グローバルデータ線上のデータを統合メモリ1011に保持する。

【0049】そして、この統合メモリ1011に保持された結果が眼の検出の最終結果となる。なお、上記ステップS307を行わずに、検出メモリ1071に保持されている結果を眼の検出結果としてもよい。

【0050】上記で説明したように、本実施形態で説明した発明によれば、ある特徴の検出処理とその検出結果の統合処理を、複数の特徴で行う際に容易に並列に行うことが出来、またそれらの処理を階層的に行うことも容易である。また、各検出結果や統合結果を一時メモリに保持し、その後そのメモリのアドレスを指定して結果をデータ線に出力して、各プロセスに入力することで、複雑な受容野構造の処理においても配線が複雑になることを防ぐことが可能である。さらに、それら各処理の結果を読み出すことも可能であり、アドレッシングでメモリに保持された任意の位置の結果を読み出すことも可能である。

【0051】なお、本実施形態の検出処理手段や統合処理手段における処理は、DSP等を用いてデジタル処理で行なう事も、アナログ回路で電流値やパルス幅等を変換するアナログ処理で行なう事も可能である。デジタル処理を行なう際は、メモリをデジタルメモリにし、データ線はバスとして構成される。アナログ処理であれば、メモリをアナログメモリにして値を電荷量等で保持し、また処理においては例えば値をパルス幅で表現して、処理はパルス幅変調で行うとすると、メモリのデータ入出力線にその電荷量をパルス幅に変更する回路やその逆を

行う回路も構成すればよい。デジタル処理とアナログ処理のいずれにしろ、本発明の構成を用いれば、階層的パターン認識処理が容易に可能となる。

【0052】次に、本実施形態の構成に係るパターン抽出（認識）装置を撮像装置に搭載させることにより、特定被写体へのフォーカシングや特定被写体の色補正、露出制御を行う場合について、図12参照して説明する。図12は実施形態に係るパターン抽出（認識）装置を撮像装置に用いた例の構成を示す図である。

【0053】図12において、撮像装置5101は、撮影レンズおよびズーム撮影用駆動制御機構を含む結像光学系5102、CCD又はCMOSイメージセンサ5103、撮像パラメータの計測部5104、映像信号処理回路5105、記憶部5106、撮像動作の制御、撮像条件の制御などの制御信号を発生する制御信号発生部5107、EVFなどファインダーを兼ねた表示ディスプレイ5108、ストロボ発光部5109、記録媒体5110などを具備し、更に上述したパターン抽出装置を被写体抽出（認識）装置5111として備える。

【0054】この撮像装置5101は、例えば撮影された映像中から予め登録された人物の顔画像の抽出（存在位置、サイズの抽出）を被写体抽出（認識）装置5111により行う。そして、その人物の位置、サイズ情報から被写体抽出（認識）装置5111から制御信号発生部5107に人力されると、同制御信号発生部5107は、撮像パラメータ計測部5104からの出力に基づき、その人物に対するピント制御、露出条件制御、ホワイトバランス制御などを最適に行う制御信号を発生する。

【0055】上述したパターン抽出（認識）装置を、このように撮像装置に用いて、人物抽出とそれに基づく撮影の最適制御を行うことができるようになる。

【0056】（第2の実施形態）図6は、本実施形態の構成を示す図である。

【0057】図6中、図1中の番号と同じ番号は同じものを示す。図6において、第1の実施形態と比較して新しい構成は、制御手段2000、統合メモリコントローラ2010、サブグローバルデータ線2031～2034、グローバルデータ線スイッチ2131～2133、スイッチ制御線2231～2233である。

【0058】つまり、第1の実施形態では、図1に示すグローバルデータバス1030には全ての統合メモリ1011～1014、補助メモリ1015、全ての抽出処理手段1041A～1044C、全ての統合処理手段1051A～1054Cが接続されていたのに対し、本実施形態では、1つのサブグローバルデータ線には、1つの統合メモリと複数の抽出処理手段及び複数の統合処理手段もしくは補助メモリが接続されている。この1つのサブグローバルデータ線に接続される抽出処理手段及び統合処理手段の数は、基本的には階層的処理の階層数である。例えば、本実施形態では、第1の実施形態同様3階

層の階層的処理を想定して、サブグローバルデータ線2031には、統合メモリ1011、抽出処理手段1041A～C、統合処理手段1051A～Cが接続されている。

【0059】また、グローバルデータ線スイッチ2131～2133は、各サブグローバルデータ線2031～2034のうちの隣接する2つと接続されている。スイッチ制御線2231～2233は、各グローバルデータ線スイッチ2131～2133と制御手段2000とに接続されている。グローバルデータ線スイッチ2131～2133は、スイッチ制御信号2231～2233に基づいて、各サブグローバルデータ線2031～2034を接続したり、切断したりする。

【0060】以下、本実施形態特有の動作について図6、7を用いて説明する。それ以外は実施形態1で説明したものと同様である。

【0061】補助メモリ1015に保持されているデータもしくは統合メモリ1011～1014に保持されている処理結果を抽出処理手段1041A～1044Cに入力する時は、制御手段2000からのスイッチ制御信号2231～2233に従い、図7（A）に示すように、グローバルデータ線スイッチ2131～2133はONになり、サブグローバルデータ線2031～2034が全て接続されるようになる。つまり、この状態では、実施形態1で説明した構成と実質的に同じになり、補助メモリ1015及び統合メモリ1011～1014から出力されたデータは、並列に、それぞれ抽出処理手段1041A～1044Cに入力される。

【0062】また、統合処理手段1051A～1054Cで処理された結果を統合メモリ1011～1014に保持するときは、制御手段2000からのスイッチ制御信号2231～2233に従い、図7（B）に示すように、グローバルデータ線スイッチ2131～2133はOFFになり、サブグローバルデータ線2031～2034が、分断されるようになる。つまり、この状態では、第1の実施形態で示したように統合処理手段1051～1054Aは処理結果を時分割で統合メモリ1011～1014に保持する必要はなく、統合メモリコントローラ2010は時分割で統合メモリ1011～1014に書き込む必要はなく、並列に各統合処理手段の処理結果を統合メモリに保持することが出来る。

【0063】以上説明したように、本実施形態では、補助メモリまたは統合メモリのデータを抽出処理手段に並列に入力することが出来る。また統合処理手段の処理結果を並列に各統合メモリに保持することができるので、第1の実施形態と同様の処理が可能で、かつ第1の実施形態と比較して処理時間の短縮が可能である。

【0064】（第3の実施形態）図8は、本実施形態の構成を示す図である。

【0065】図8中、図1中の番号と同じ番号は同じものを示す。図8において、第1の実施形態と比較して新

しい構成は、制御手段3000、統合メモリコントローラ3010、グローバルデータ線3031~3035、検出処理手段3041A~3044Cである。

【0066】つまり、第1の実施形態では、図1に示すグローバルデータバス1030には全ての統合メモリ1011~1014、補助メモリ1015、全ての検出処理手段1041A~1044C、全ての統合処理手段1051A~1054Cが接続されていたのに対し、本実施形態では、ひとつのグローバルデータ線には、1つの統合メモリもしくは補助メモリと全ての検出処理手段及び複数の統合処理手段が接続されている。この1つのサブグローバルデータ線に接続される統合処理手段の数は、基本的には階層的処理の階層数である。例えば、本実施形態では、第1の実施形態と同様3階層の階層的処理を想定して、グローバルデータ線3031には、統合メモリ1011、検出処理手段3041A~3044C、統合処理手段1051A~1054Cが接続されている。なお、図8には、グローバルデータ線3031~3035と検出処理手段3041A~3044Cへの接続に関して、検出処理手段3041A~3044Aのみ図示し、他は省略してある。

【0067】また、各検出処理手段は全てのグローバルデータ線3031~3035から入力されるようになっている。このような構成にすることで、統合メモリ1011~1014及び補助メモリ1015を並列に動作させてデータを読み出し、そして、検出処理手段3041A~3044Cに並列に入力が可能であり、また統合処理手段からの処理結果を並列に統合メモリ1011~1014に保持することが出来る。

【0068】以下、本実施形態特有の動作について説明する。それ以外は実施形態1で説明したものと同様である。

【0069】補助メモリ1015に保持されているデータもしくは統合メモリ1011~1044に保持されている処理結果を検出処理手段3041A~3044Cに入力する時は、統合メモリコントローラ3010からの統合メモリ制御信号1021~1024もしくは補助メモリ制御信号1025に従って並列に動作させ、統合メモリ1011~1014はデータをグローバルデータ線3031~3034へ出力し、補助メモリ1015はデータをグローバルデータ線3035へ出力する。このとき、統合メモリ1011はグローバルデータ線3031へ、1012は3032へ、1013は3033へ、1014は3034へ出力する。そして、各検出処理手段3041A~3044Cは全てのグローバルデータ線3031~3035から入力されるようになっているので、並列に各検出処理手段にデータが入力される。

【0070】また、統合処理手段1051~1054で処理された結果を統合メモリ1011~1014に保持するときは、例えば統合処理手段1051A~Cはグロ

ーバルデータ線3031へ出力するように、また統合処理手段1052A~Cはグローバルデータ線3032へ出力するようになっているので、並列に各統合メモリ1011~1014へデータを保持することが出来る。

【0071】以上説明したように、本実施形態では、補助メモリまたは統合メモリのデータを検出処理手段に並列に入力することが出来、また統合処理手段の処理結果を並列に各統合メモリに保持することができるので、第1の実施形態と同様の処理が可能で、かつ第1、第2の実施形態と比較して処理時間の短縮が可能である。

【0072】(第4の実施形態)図9が本実施形態の構成を示す図である。

【0073】図9中、図1中の番号と同じ番号は同じものを示す。図9において、第1の実施形態と比較して新しい構成は、制御手段4000、可変検出処理手段4041~4044、可変統合処理手段4051~4054、回路構成情報記憶手段4110、回路構成制御手段4120、及び可変検出処理手段制御信号4111~4114、可変統合処理手段制御信号4121~4124である。なお、この図9では、これらの信号については、可変検出処理手段制御信号4111のみ図示してあとは省略してある。

【0074】つまり、第1の実施形態では、認識処理に必要な各処理手段を全て用意し(検出処理手段及び統合処理手段)、それらの中から、その時点で使用する処理手段を制御手段からの選択信号で選択していたのに対し、本実施形態では、並列に動作する数の可変検出処理手段、及び可変統合処理手段とから構成されている。

【0075】可変検出処理手段4041~4044、及び可変統合処理手段4051~4054は、FPGA(Field Programmable Gate Array)と呼ばれるユーザが任意の論理を構成できるように、複数の回路ブロックと配線ブロックから成るロジックIC、もしくはFPGA(E.Lee,P.Gulak, 1991, "A CMOS Field-Programmable Analog Array", IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. 26, No. 12, pp. 1860-1867)と呼ばれるユーザがアナログブロック回路を結ぶ配線や電解の係数となるコンデンサの電荷保持量等を変更して任意のアナログ処理を行なえるアナログICである。そして、それらの処理手段が任意の処理を行なえるような構成にするための回路構成の情報を記憶しているのが、回路構成情報記憶手段4110である。また、その回路構成情報にしたがって、各処理手段を制御して、回路構成を変更するのが、回路構成制御手段4120である。つまり、回路構成制御手段4120からの回路構成制御信号に基づいて、可変検出処理手段4041~4044、及び可変統合処理手段4051~4054は制御され、回路構成情報記憶手段4110からの回路構成情報信号の回路構成に再構成される。

【0076】以下、本実施形態の動作について図9~図

11を用いて説明する。図10は本実施形態の動作を示すフローチャートである。ここでは、第1の実施形態同様、眼を検出する例を示す。

【0077】図10のステップS901において、画像が補助メモリ1015に入力される。続いてステップS902において、制御手段4000からの信号により、回路構成情報記憶手段4110から回路構成情報信号が出力され、また回路構成制御手段4120から回路構成制御信号が出力され、それぞれの信号に基づいて、可変検出処理手段4041~4044の回路が構成される。なおここで、構成される回路は、眼の検出における1次特徴量(図4参照)を検出する回路である。

【0078】ステップS903では眼の1次特徴量を検出するように構成された可変検出処理手段4041~4044を用いて、1次特徴量を検出する。統合メモリコントローラ1010は補助メモリ制御信号1025を制御して、補助メモリ1015から画像の局所データを読み出し、グローバルデータ線1030に出力する。そして、それらは並列に、それぞれ各可変検出処理手段4041~4044に入力され、1次特徴量を検出する。そして、処理の終了を示すエンド信号を見て、制御手段4000はアウトプット信号をイネーブルにして、可変検出処理手段4041~4044の処理結果をローカルデータ線1061~1064に出力する。同時に、検出メモリコントローラ1090は、検出アドレス線1080にアドレスを出力し、また検出メモリ制御信号1081~1084を制御して、ローカルデータ線上のデータを検出メモリ1071~1074に保持する。

【0079】ステップS904では、制御手段4000からの信号により、回路構成情報記憶手段4110から回路構成情報信号が出力され、また回路構成制御手段4120から回路構成制御信号が出力され、それぞれの信号に基づいて、可変検出処理手段4051~4054の回路が構成される。なおここで、構成される回路は、検出した1次特徴量を、局所平均化、最大出力検出等によるサブサンプリングなどの演算によって統合する回路である。

【0080】ステップS905では、1次特徴量を統合するように構成された可変統合処理手段4051~4054を用いて1次特徴量が統合される。検出メモリコントローラ1090は、検出アドレス線1080上にアドレスを出力し、また検出メモリ制御信号1081~1084を制御して、検出メモリ1071~1074の局所データを読み出し、ローカルデータ線1061~1064を介して、それぞれの局所データが可変統合処理手段4051~4054に入力され、1次特徴量が統合される。そして、処理の終了を示すエンド信号を見て、制御手段4000はアウトプット信号を順にイネーブルにして、可変統合処理手段4051~4054の処理結果を時分割でグローバルデータ線1030に出力する。同時

に、統合メモリコントローラ1010は、統合アドレス線1020にアドレスを出力し、また統合メモリ制御信号1021~1024を制御して、グローバルデータ線上のデータを統合メモリ1011~1014に保持する。

【0081】ステップS906では、ステップS902と同様に、回路構成情報信号や回路構成制御信号に基づいて、可変検出処理手段4041~4044の回路が再構成される。なおここで、構成される回路は、眼の検出における2次特徴量(図4参照)を検出する回路である。(なお2次特徴量は3種類であるので、可変検出処理手段4041~4043のみ再構成される。)

ステップS907では、2次特徴量を検出するように再構成された可変検出処理手段4041~4043を用いて、2次特徴量の検出を行なう。統合メモリコントローラ1010は統合アドレス線1020にアドレスを出力し、また統合メモリ制御信号1021~1024を制御して、統合メモリ1011~1014から、そこに保持されている統合された1次特徴量の局所データを読み出し、グローバルデータ線1030に出力する。これらのデータは、並列に、それぞれ可変検出処理手段4041~4043に入力され、上述したそれぞれの2次特徴量を検出する。なおこのとき、検出すべき2次特徴量は3種類なので可変検出処理手段制御信号の4111~4113の処理手段セレクト信号のみイネーブルになっている。そして、処理の終了を示すエンド信号を見て、制御手段4000はアウトプット信号をイネーブルにして、可変検出処理手段4041~4043の処理結果をローカルデータ線1061~1063に出力する。同時に、検出メモリコントローラ1090は、検出アドレス線1080にアドレスを出力し、また検出メモリ制御信号1081~1083を制御して、ローカルデータ線上のデータを検出メモリ1071~1073に保持する。

【0082】ステップS908では、回路構成情報信号や回路構成制御信号の信号に基づいて、可変統合処理手段4051~4053の回路が再構成される。なおここで、再構成される回路は、検出した1次特徴量を、局所平均化、最大出力検出等によるサブサンプリングなどの演算によって統合する回路である。なお、ステップS904による回路構成がそのまま使える場合には、このステップS908を実行する必要がないことは言うまでもない。

【0083】ステップS909では、再構成された可変統合処理手段4051~4053によって、2次特徴量が統合される。検出メモリコントローラ1090は、検出アドレス線1080上にアドレスを出力し、また検出メモリ制御信号1081~1083を制御して、検出メモリ1071~1073の局所データを読み出し、ローカルデータ線1061~1063を介して、それぞれの局所データが可変統合処理手段4051~4053に入

力される。各可変統合処理手段では入力データの平均化や最大値検出等の処理を行なう。なおこのとき、可変統合処理手段制御信号の4121~4123の処理手段とレクト信号のみイネーブルに可変する。そして、処理の終了を示すエンド信号を見て、制御手段4000はアウトプット信号を順にイネーブルにして、可変統合処理手段4051~4053は処理結果を時分割でグローバルデータ線1030に出力する。同時に、統合メモリコントローラ1010は、統合アドレス線1020にアドレスを出力し、また統合メモリ制御信号1021~1023を制御して、グローバルデータ線上のデータを統合メモリ1011~1013に保持する。

【0084】ステップS910では、回路構成情報信号と回路構成制御信号に基づいて、可変検出処理手段4041の回路が再構成される。なおここで、構成される回路は、眼の検出における3次特徴量(図4参照)を検出する回路である。

【0085】ステップS911では、再構成された可変検出処理手段4041で、3次特徴量検出を行なう。統合メモリコントローラ1010は統合アドレス線1020にアドレスを出力し、また統合メモリ制御信号1021~1023を制御して、統合メモリ1011~1013から、そこに保持されている統合された2次特徴量の局所データを読み出し、グローバルデータ線1030に出力する。そしてこれらのデータは、可変検出処理手段4041に入力され、上述した3次特徴量を検出する。そして、処理の終了を示すエンド信号を見て、制御手段4000はアウトプット信号をイネーブルにして、可変検出処理手段4041は処理結果をローカルデータ線1061に出力する。同時に、検出メモリコントローラ1090は、検出アドレス線1080にアドレスを出力し、また検出メモリ制御信号1081を制御して、ローカルデータ線上のデータを検出メモリ1071に保持する。

【0086】ステップS912では、回路構成情報信号と回路構成制御信号に基づいて、可変統合処理手段4051の回路が再構成される。なお、ステップS904による回路構成がそのまま使える場合には、このステップS912を実行する必要がないことは言うまでもない。

【0087】ステップS913では、再構成された可変統合処理手段4051で、3次特徴量が統合される。検出メモリコントローラ1090は、検出アドレス線1080上にアドレスを出力し、また検出メモリ制御信号1081を制御して、検出メモリ1071の局所データを読み出し、ローカルデータ線1061を介して、3次特徴量の局所データが可変統合処理手段4051に入力され、統合処理が行なわれる。そして、処理の終了を示すエンド信号を見て、制御手段4000はアウトプット信号を順にイネーブルにして、可変統合処理手段4051は処理結果をグローバルデータ線1030に出力する。

同時に、統合メモリコントローラ1010は、統合アドレス線1020にアドレスを出力し、また統合メモリ制御信号1021を制御して、グローバルデータ線上のデータを統合メモリ1011に保持する。

【0088】そして、この統合メモリ1011に保持された結果が眼の検出の最終結果となる。なお、上記ステップS913を行なわずに、検出メモリ1071に保持されている結果を眼の検出結果としてもよい。

【0089】なお、上記の説明では、可変検出処理手段の検出処理の後に、可変統合処理手段の再構成、また可変統合処理手段の統合処理の後に、可変検出処理手段の再構成を行なうように説明したが、可変検出処理手段と可変統合処理手段は同時に行なわないので、図11に示すように、可変検出処理手段の検出処理と可変統合処理手段の再構成、また可変統合処理手段の統合処理と可変検出処理手段の再構成は同時に行なうことが出来る。なお図11において、横軸は動作の流れを示し、図中で検出と書いてあるのは検出処理であり、統合と書いてあるのは統合処理である、また、構成・再構成と書いてあるのは回路の構成・再構成を行なっていることを示す。

【0090】以上説明したように、本実施形態では、回路構成が可変な処理手段を用い、各階層での処理に応じて回路を再構成して使用するので、第1の実施形態と同様の認識処理が可能で、かつ第1の実施形態と比較して処理手段の回路規模の縮小が可能である。またこの構成であれば、検出処理手段と統合処理手段の処理と再構成を交互に行なう事が出来るので、全体の処理時間の増加をおさえることが可能である。

【0091】なお、本実施形態と第2、第3の実施形態を組み合わせても可能である。

【0092】

【発明の効果】以上説明したように、本発明によれば、共有データ線と局所データ線、及びメモリを利用することで、複雑な配線を用いずに単純な回路構成で、複数の処理手段で処理されて得られた複数の結果に対し、さらに複数の処理手段で並列処理を行なうといった階層的処理を並列に実行可能となるという効果がある。

【0093】検出処理においては、複数の処理手段の検出処理手段に対して同一のデータを入力することで並列動作が可能であり、更にまた各検出処理の処理結果を空間的に統合する統合処理においては、それぞれ別の特徴検出の結果を保持している複数の検出メモリに対して、それぞれのメモリ中の位置を示すアドレスを共通に用いることで、統合処理を並列に行なえるという効果がある。また、これらの検出・統合処理手段を何回でも繰り返すことが出来るという効果がある。

【0094】また、各階層の中間結果をメモリから読み出すことも可能であり、例えば、その中間結果を見て、その前段階の処理を変更するということも可能になる。

また、回路構成可能な手段を使用した場合に、検出処理と統合処理、検出処理回路の再構成と統合処理回路の再構成を交互に行うことで、処理時間の増加を防ぐという効果もある。

【図面の簡単な説明】

【図1】第1の実施形態の構成を示す図である。

【図2】Convolutionalネットワーク構造を説明する図である。

【図3】第1の実施形態の動作を説明するフローチャートである。

【図4】特徴量を示す図である。

【図5】特徴量検出の例を示す図である。

【図6】第2の実施形態の構成を示す図である。

【図7】第2の実施形態の動作の概念を示す図である。

【図8】第3の実施形態の構成を示す図である。

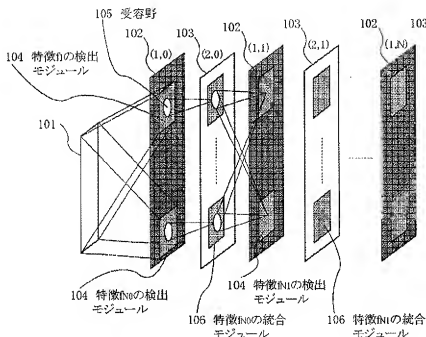
【図9】第4の実施形態の構成を示す図である。

【図10】第4の実施形態の動作を説明するフローチャートである。

【図11】第4の実施形態の再構成と処理のタイミングを示す図である。

【図12】実施形態に係るパターン認識装置を撮像装置に用いた例の構成を示す図である。

【図2】

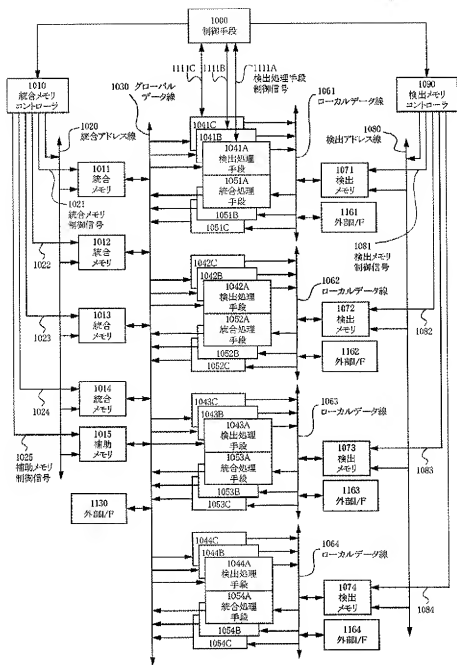


【図5】

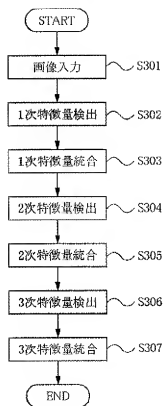
0	1	0
0	1	0
0	1	0

【図11】

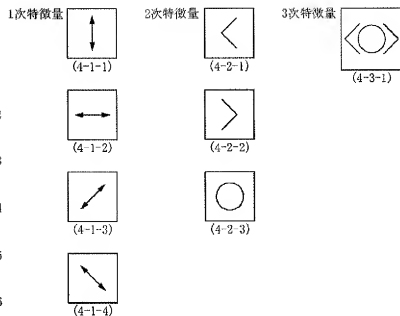
	構成	検出	再構成	検出	再構成	検出	-
可変検出処理手段	構成	検出	再構成	検出	再構成	検出	-
可変統合処理手段	-	構成	統合	再構成	統合	再構成	統合



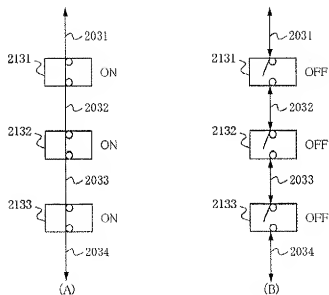
【図3】



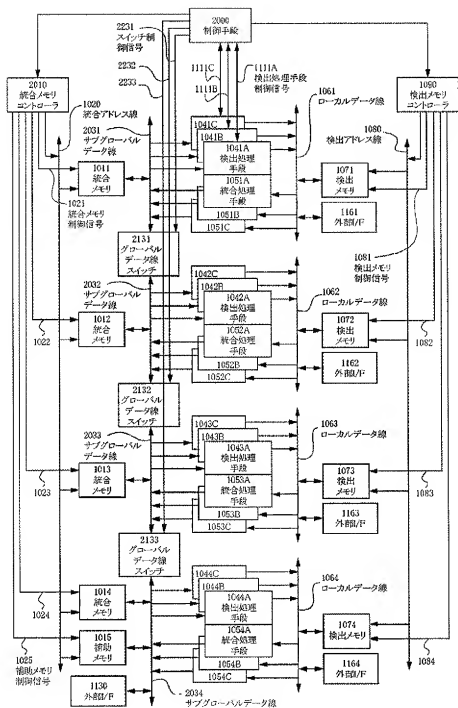
【図4】



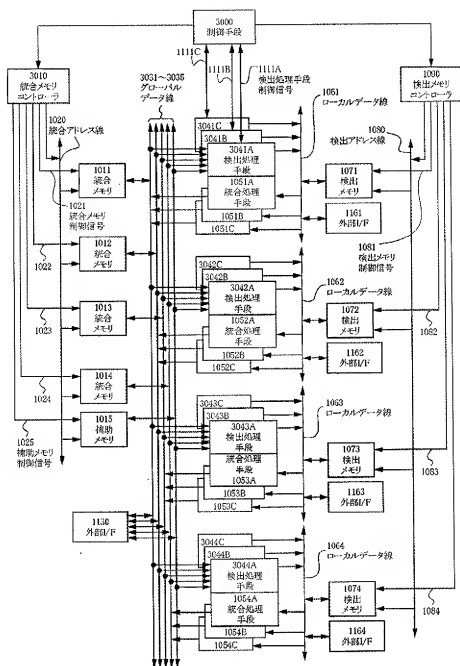
【図7】



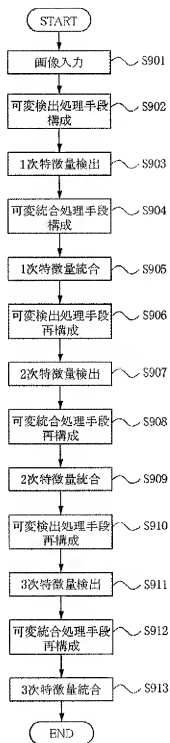
【図6】



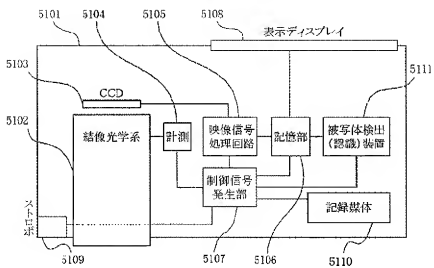
【図8】



【図10】



【図12】



フロントページの続き

(72)発明者 野村 修
 東京都大田区下丸子3丁目30番2号キャノ
 ン株式会社内

Fターム(参考) 5L096 JA13 LA13 MA01